

Lead-bond type chip package and manufacturing method thereof

Patent Number: 第 US6423622
Publication date: 2002-07-23
Inventor(s): CHEN KUN-CHING (TW); YEH YUNG I (TW)
Applicant(s): ADVANCED SEMICONDUCTOR ENGINEE (US)
Requested Patent: TW434664
Application Number: US20000514645 20000229
Priority Number(s): US20000514645 20000229; TW19990123355 19991229
IPC Classification: H01L21/44
EC Classification: H05K3/40T, H01L21/48C4D, H01L23/13
Equivalents:

Abstract

A lead-bond type chip package includes a multilayer substrate for supporting and electrical interconnecting a semiconductor chip. The multilayer substrate has a slot defined therein. The multilayer substrate comprises an interlayer circuit board having prepregs disposed thereon, a plurality of leads on the prepreg on the upper surface of the interlayer circuit board, and a plurality of solder pads for making external electrical connection on the prepreg on the lower surface of the interlayer circuit board. The leads of the multilayer substrate are bonded to corresponding bonding pads formed on the semiconductor chip. A package body is formed on the multilayer substrate around the semiconductor chip and in the slot of the multilayer substrate. The multilayer substrate is capable of providing a power or ground plane formed therein for enhancing the electrical performance of the package, and providing a high wiring density for packaging a chip with high I/O connections. This invention also provides a method of producing a multilayer substrate for use in forming a lead-bond type chip package.

THIS PAGE BLANK (USPTO)

[11]公告編號：434664

[44]中華民國 90年(2001) 05月11日

發明

全 9 頁

[51] Int.Cl⁰⁶: H01L21/00

[54]名稱：鐳引線形式晶片封裝構造及其製造方法

[21]申請案號：088123355

[22]申請日期：中華民國 88年(1999) 12月29日

[72]發明人：

陳崑進

葉勇誼

台南市中區民權路二段六十四巷四十八號

高雄市楠梓區後昌路八六〇巷二十六之一號

[71]申請人：

日月光半導體製造股份有限公司

高雄市楠梓區加工出口區經三路二十六號

[74]代理人：花瑞銘 先生

1

2

[57]申請專利範圍：

1. 一種製造用於形成鐳引線形式晶片封裝構造之多層基板之方法，其包含下列步驟：

提供一夾層電路板，其已形成導電電路，該夾層電路板具有一介電層設於其表面，以及一槽縫；

提供一第一銅箔，其一表面塗佈有一抗蝕刻層；

層壓該第一銅箔以及一第二銅箔於該夾層電路板之兩面，使得該第一銅箔之抗蝕刻層塗佈面係與該夾層電路板上之介電層接觸；

選擇性蝕刻層壓於該夾層電路板上之銅箔，以便在預先設定位置形成細孔；

施以雷射光束於裸露於該銅箔細孔內之夾層電路板上的介電層，以便形成介層洞並且裸露出該夾層電路板之導電電路之部分；

形成複數個通孔；

鍍上一金屬層以電性連接銅箔以及夾層電路板之導電電路；

選擇性蝕刻該第一銅箔以及其上之金屬鍍層以形成複數條用以電性連接至一半導體晶片之引線其中該每一條引線至少有一部分橫跨於該夾層電路板之槽縫，以及選擇性蝕刻該第二銅箔以及其上之金屬鍍層以形成一預先設定之線路佈局並且裸露出該夾層電路板之槽縫；

去除該第一銅箔上裸露於該夾層電路板槽縫中之抗蝕刻層；

形成一鐳錫遮蔽於該多層基板上之佈線表面，使得該引線上用以電性連接至一半導體晶片之區域以及用以電性連接至外部之錫球鐳墊係裸露於該鐳錫遮蔽；以及

形成一金屬覆蓋層於錫球鐳墊以及引線之裸露部分。

20. 2. 依申請專利範圍第1項之製造用於形成

鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板另包含一接地面用以提供接地電位。

3. 依申請專利範圍第1項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板另包含一電源面用以提供電壓源。
4. 依申請專利範圍第1項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板係以玻璃纖維強化BT(bismaleimide-triazine)樹脂形成。
5. 依申請專利範圍第1項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板係以FR-4玻璃纖維強化環氧樹脂形成。
6. 依申請專利範圍第1項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板係以陶瓷材料形成。
7. 依申請專利範圍第1項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該金屬覆蓋層係包含一層鍍層覆蓋於錫球鍍墊與引線之裸露部分，以及一層金或鈀覆蓋於該鍍層。
8. 一種製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其包含下列步驟：
提供一夾層電路板，其已形成導電電路，該夾層電路板具有一槽縫；
提供一第一銅箔，其一表面塗佈有一抗蝕刻層；
將該第一銅箔以及一第二銅箔藉由複數個預浸漬體(prepreg)層壓於該夾層電路板之兩面，使得該第一銅箔之抗蝕刻層塗佈面係與該夾層電路板上之預浸漬體接觸，其中該每一預浸漬體具有一槽縫對應於該夾層電路板之槽縫；
選擇性蝕刻層壓於該夾層電路板上之

銅箔，以便在預先設定位置形成細孔；

施以雷射光束於裸露於該銅箔細孔內之夾層電路板上的預浸漬體，以便形成介層洞並且裸露出該夾層電路板之導電電路之部分；

形成複數個通孔；

鍍上一金屬層以電性連接銅箔以及夾層電路板之導電電路；

5. 選擇性蝕刻該第一銅箔以及其上之金屬鍍層以形成複數條用以電性連接至一半導體晶片之引線其中該每一條引線至少有一部分橫跨於該夾層電路板之槽縫，以及選擇性蝕刻該第二銅箔以及其上之金屬鍍層以形成一預先設定之線路佈局並且裸露出該夾層電路板之槽縫；

去除該第一銅箔上裸露於該夾層電路板槽縫中之抗蝕刻層；

20. 形成一鍍錫遮蔽於該多層基板上之佈線表面，使得該引線上用以電性連接至一半導體晶片之區域以及用以電性連接至外部之錫球鍍墊係裸露於該鍍錫遮蔽；以及

25. 形成一金屬覆蓋層於錫球鍍墊以及引線之裸露部分。

9. 依申請專利範圍第8項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板另包含一接地面用以提供接地電位。

30. 依申請專利範圍第8項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板另包含一電源面用以提供電壓源。

35. 11. 依申請專利範圍第8項之製造用於形成鍍引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板係以玻璃纖維強化BT(bismaleimide-triazine)樹脂形成。

40. 12. 依申請專利範圍第8項之製造用於形

成鐸引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板係以FR-4 玻璃纖維強化環氧樹脂形成。

13. 依申請專利範圍第 8 項之製造用於形成鐸引線形式晶片封裝構造之多層基板之方法，其中該夾層電路板係以陶瓷材料形成。
14. 依申請專利範圍第 8 項之製造用於形成鐸引線形式晶片封裝構造之多層基板之方法，其中該金屬覆蓋層係包含一層鎳覆蓋於錫球鐸墊與引線之裸露部分，以及一層金或鈀覆蓋於該鎳層。
15. 一種用於形成鐸引線形式晶片封裝構造之多層基板，其中該多層基板係包含：
 - 一夾層電路板，其具有一上表面以及一下表面，其已形成導電電路，該夾層電路板具有一介電層設於其表面，以及一槽縫；
 - 複數條引線，設於該夾層電路板上表面之介電層上，其中該複數條引線係用以電性連接至一半導體晶片並且該每一條引線至少有一部分橫跨於該夾層電路板之槽縫；
 - 複數個錫球鐸墊，設於該夾層電路板下表面之介電層上，該複數個錫球鐸墊係用以電性連接至外部，其中該複數個錫球鐸墊係電性連接至相對應之引線；
 - 一鐸錫遮蔽，設於該多層基板之表面，其中該引線上用以電性連接至一半導體晶片之區域以及該複數個錫球鐸墊係裸露於該鐸錫遮蔽；以及
 - 一金屬覆蓋層，設於錫球鐸墊以及引線之裸露部分。
16. 依申請專利範圍第 15 項之多層基板，其中該夾層電路板上之介電層係以預浸漬體(prepreg)形成。
17. 依申請專利範圍第 15 項之多層基板，

其中該夾層電路板另包含一接地面用以提供接地電位。

18. 依申請專利範圍第 15 項之多層基板，其中該夾層電路板另包含一電源面用以提供電壓源。
19. 依申請專利範圍第 15 項之多層基板，其中該夾層電路板係以玻璃纖維強化 BT(bismaleimide-triazine)樹脂形成。
20. 依申請專利範圍第 15 項之多層基板，其中該夾層電路板係以 FR-4 玻璃纖維強化環氧樹脂形成。
21. 依申請專利範圍第 15 項之多層基板，其中該夾層電路板係以陶瓷材料形成。
22. 依申請專利範圍第 15 項之多層基板，其中該金屬覆蓋層係包含一層鎳覆蓋於錫球鐸墊與引線之裸露部分，以及一層金或鈀覆蓋於該鎳層。
23. 一種鐸引線形式晶片封裝構造，其係包含：
 - 一多層基板，其具有一槽縫，該多層基板包含一夾層電路板具有一上表面以及一下表面並且已形成鍍通孔以及導電電路，一介電層設於該夾層電路板之表面，複數條引線設於該夾層電路板上表面之介電層上，以及複數個錫球鐸墊設於該夾層電路板下表面之介電層上，其中該複數個錫球鐸墊係電性連接至相對應之引線；
 - 一半導體晶片設於該多層基板，該半導體晶片具有複數個晶片錫球鐸墊電性連接至該多層基板上相對應之引線；及
 - 一封膠體形成於該多層基板上半導體晶片周邊以及該多層基板之槽縫內。
24. 依申請專利範圍第 23 項之鐸引線形式晶片封裝構造，其中該夾層電路板上之介電層係以預浸漬體(prepreg)形成。
25. 依申請專利範圍第 23 項之鐸引線形式晶片封裝構造，其中該多層基板另包

含一接地面用以提供接地電位。

26. 依申請專利範圍第 23 項之鐳引線形式晶片封裝構造，其中該多層基板另包含一電源面用以提供電壓源。

27. 依申請專利範圍第 23 項之鐳引線形式晶片封裝構造，其另包含複數個錫球鐳墊設於該多層基板之複數個錫球鐳墊。

28. 依申請專利範圍第 23 項之鐳引線形式晶片封裝構造，其另包含一鐳錫遮蔽設於該多層基板之表面，以及一金屬覆蓋層設於錫球鐳墊以及引線之裸露部分，其中該引線上用以電性連接該半導體晶片之區域以及該複數個錫球鐳墊係裸露於該鐳錫遮蔽。

29. 依申請專利範圍第 28 項之鐳引線形式晶片封裝構造，其中該金屬覆蓋層係包含一層鎳覆蓋於錫球鐳墊與引線之裸露部分，以及一層金或鈀覆蓋於該鎳層。

30. 依申請專利範圍第 23 項之鐳引線形式晶片封裝構造，其中該夾層電路板係以玻璃纖維強化 BT(bismaleimide-triazine)樹脂形成。

31. 依申請專利範圍第 23 項之鐳引線形式晶片封裝構造，其中該夾層電路板係以 FR-4 玻璃纖維強化環氧樹脂形成。

32. 依申請專利範圍第 23 項之鐳引線形式晶片封裝構造，其中該夾層電路板係以陶瓷材料形成。

圖式簡單說明：

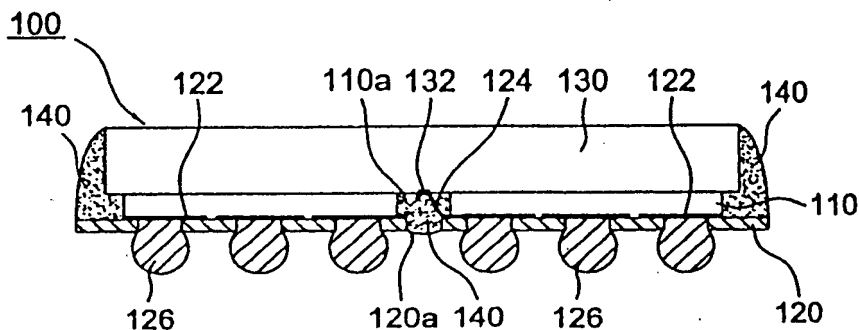
第一圖：習用之鐳引線形式晶片封裝構造之剖面圖；

10. 第二圖至第八圖：其係用以說明一種根據本發明第一較佳實施例之製造該用於形成鐳引線形式晶片封裝構造之多層基板之方法；

15. 第九圖：根據本發明第一較佳實施例之鐳引線形式晶片封裝構造之部分剖面圖；

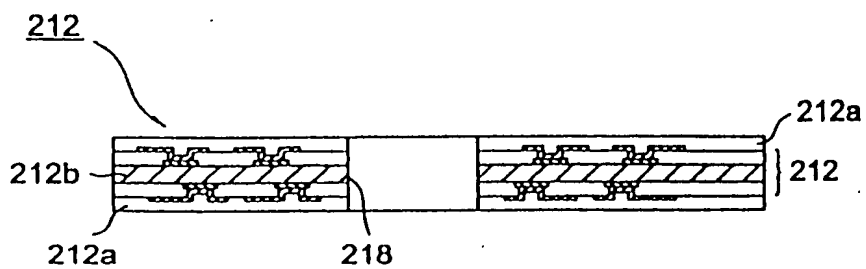
第十圖至第十六圖：其係用以說明一種根據本發明第二較佳實施例之製造該用於形成鐳引線形式晶片封裝構造之多層基板之方法；及

20. 第十七圖：根據本發明第二較佳實施例之鐳引線形式晶片封裝構造之部分剖面圖。

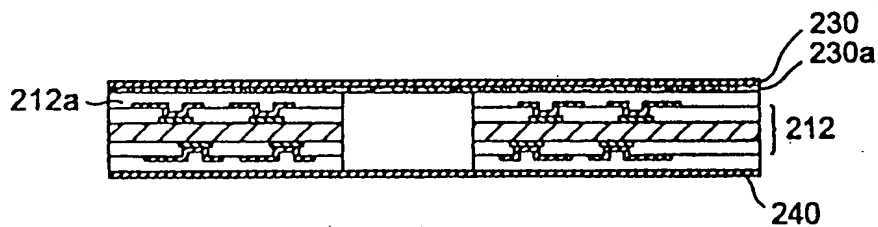


第一圖

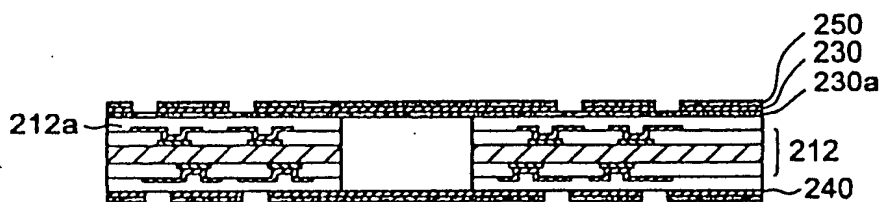
(5)



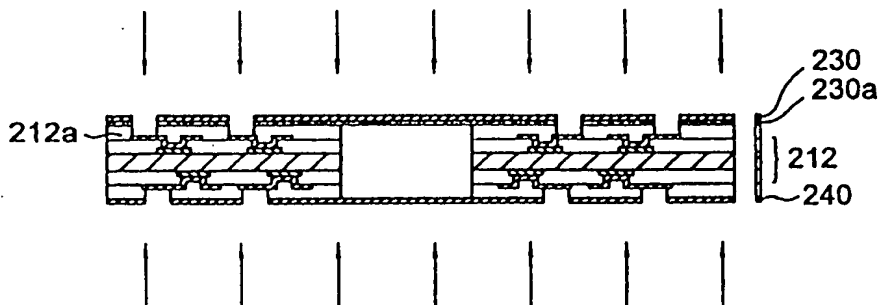
第二圖



第三圖

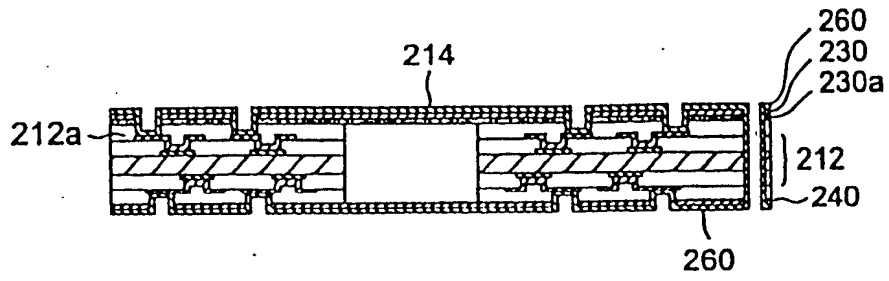


第四圖

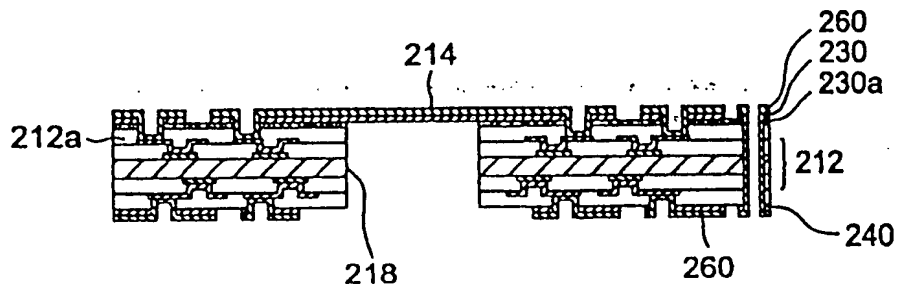


第五圖

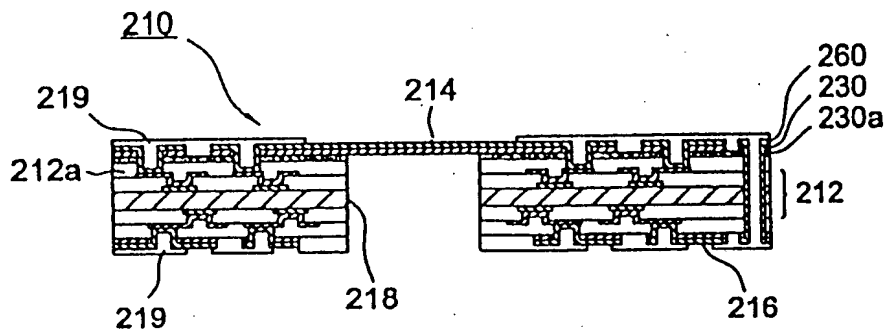
(6)



第六圖

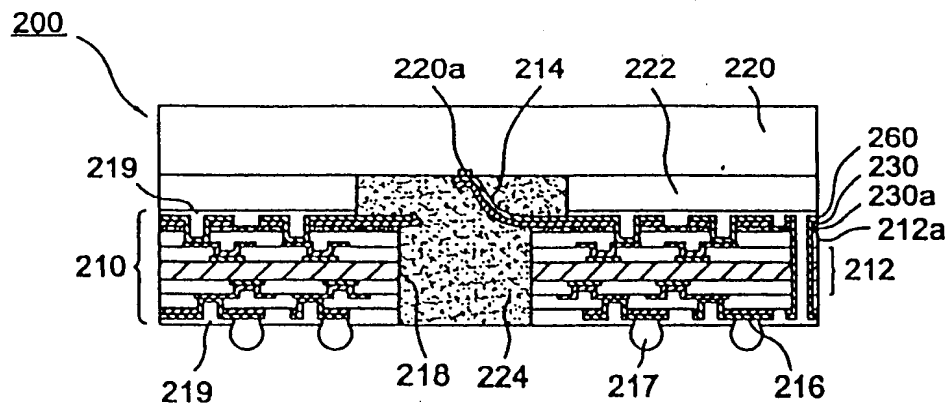


第七圖

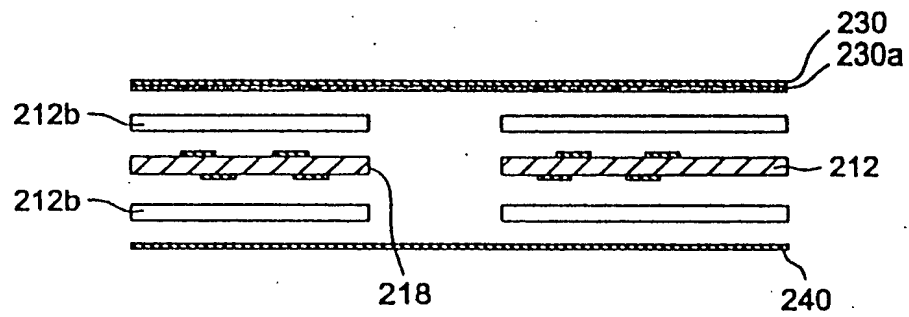


第八圖

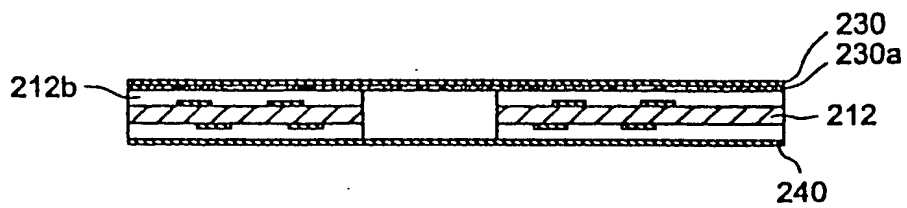
(7)



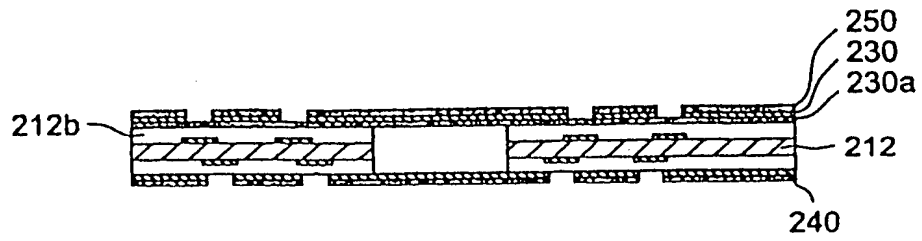
第九圖



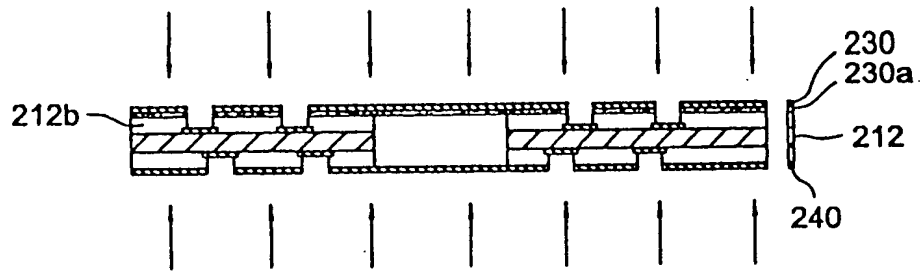
第十圖



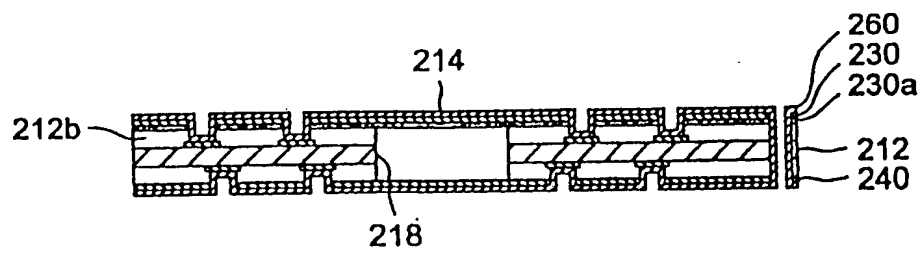
第十一圖



第十二圖

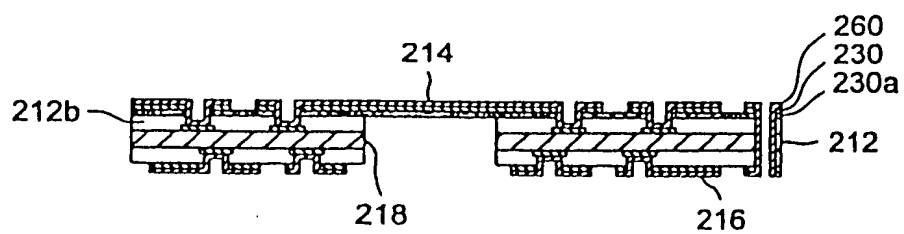


第十三圖

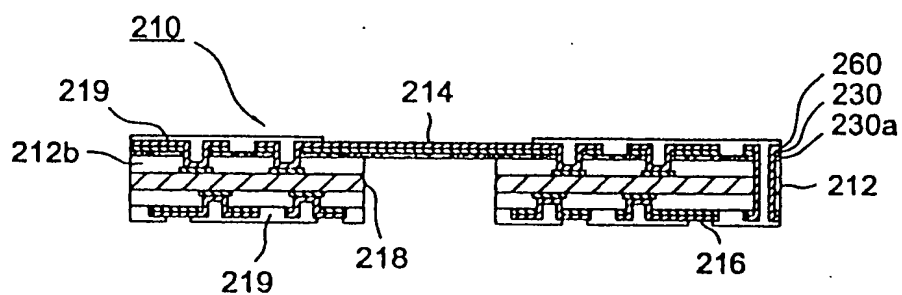


第十四圖

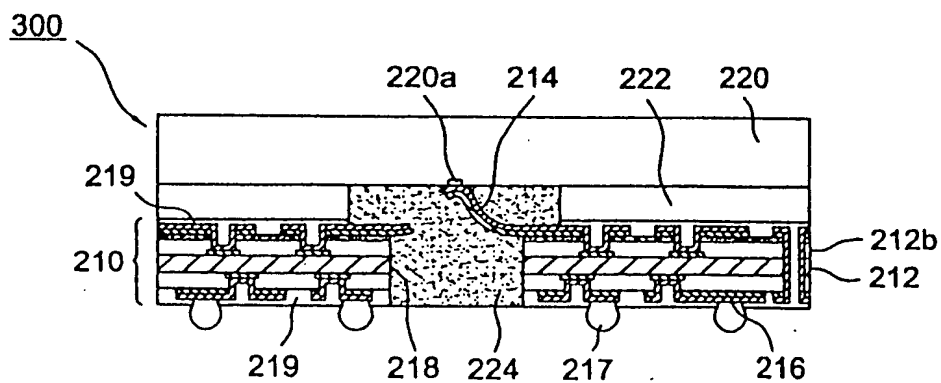
(9)



第十五圖



第十六圖



第十七圖

THIS PAGE BLANK (USPTO)